

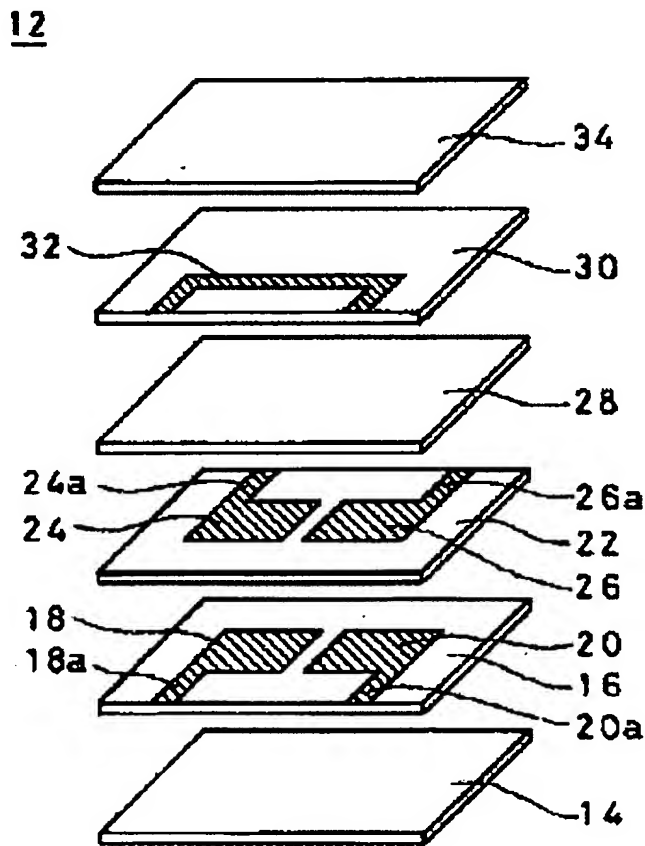
## COMPOSITE ELEMENT

**Patent number:** JP2003078378  
**Publication date:** 2003-03-14  
**Inventor:** YAMAGUCHI NAOTO  
**Applicant:** MURATA MANUFACTURING CO  
**Classification:**  
- **International:** *H03H7/075; H03H7/09; H03H7/075; H03H7/09; (IPC-1-7): H03H7/075; H03H7/09*  
- **european:**  
**Application number:** JP20010264288 20010831  
**Priority number(s):** JP20010264288 20010831

**Report a data error here**

## Abstract of JP2003078378

**PROBLEM TO BE SOLVED:** To obtain a compound element which can transmit a differential clock pair normally between elements differing in input impedance and output impedance and is reducible in power consumption. **SOLUTION:** On dielectric substrates 14, 16, 22, 28, 30, and 34; electrodes 18, 20, 24, and 26 for a capacitor and an electrode 32 for an inductor are formed, and those dielectric substrates are stacked to obtain a base body 12. On the flank of the base body 12, an outside electrode is formed and necessary electrodes are connected, and the capacitor is connected in series to obtain a balanced input/output high-pass filter having an inductor connected in parallel. The obtained high-pass filter has different input and output impedance values.



**Data supplied from the *esp@cenet* database - Worldwide**

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

H 0 3 H 7/075

H 0 3 H 7/075

A 5 J 0 2 4

7/09

7/09

A

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2001-264288(P2001-264288)

(22) 出願日 平成13年8月31日 (2001.8.31)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 山口 直人

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(74) 代理人 100079577

弁理士 岡田 全啓

Fターム (参考) 5J024 AA01 BA11 CA09 DA04 DA35

EA01 EA02 FA02

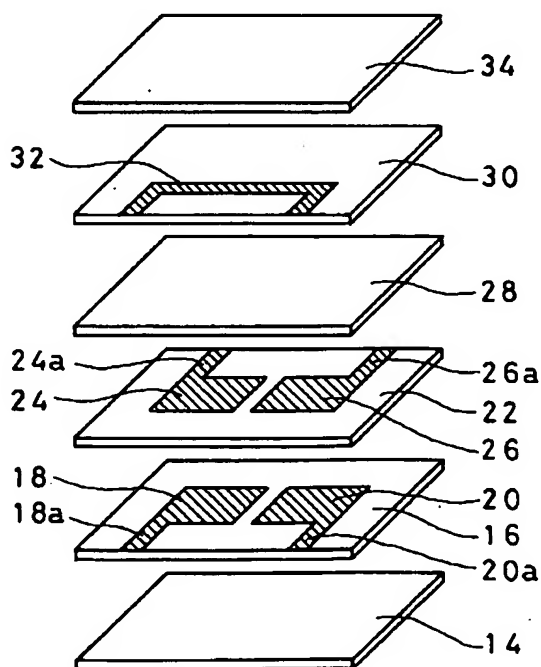
(54) 【発明の名称】 複合素子

(57) 【要約】

【課題】 入力インピーダンスおよび出力インピーダンスの異なる素子間において正常に差動クロックペアを伝送させることができ、消費電力を小さくすることができる複合素子を得る。

【解決手段】 誘電体基板14、16、22、28、30、34上に、コンデンサ用電極18、20、24、26およびインダクタ用電極32を形成し、これらの誘電体基板を積層して基体12を得る。基体12の側面に外部電極を形成して必要な電極を接続し、コンデンサが直列に接続され、インダクタが並列に接続された平衡入出力のハイパスフィルタを得る。得られたハイパスフィルタは、入力インピーダンスと出力インピーダンスの値が異なるものとなる。

12



## 【特許請求の範囲】

【請求項 1】 積層された複数の誘電体基板、  
前記複数の誘電体基板の少なくとも 1 枚に形成され、インダクタを構成するインダクタ用電極、

前記複数の誘電体基板の少なくとも 2 枚に形成され、第 1 および第 2 のコンデンサを構成するコンデンサ用電極、および第 1 および第 2 の入力端と、第 1 および第 2 の出力端と、を有してなる複合素子であって、

前記第 1 の入力端と前記第 1 の出力端とを結ぶ第 1 の入出力ラインの直列腕に 1 つの前記第 1 のコンデンサを配置し、

前記第 2 の入力端と前記第 2 の出力端とを結ぶ第 2 の入出力ラインの直列腕に 1 つの前記第 2 のコンデンサを配置し、

前記第 1 の入力端側と前記第 2 の入力端側とを結ぶ並列腕、または前記第 1 の出力端側と前記第 2 の出力端側とを結ぶ並列腕に、1 つまたは複数の前記インダクタを配置してなるハイパスフィルタを構成することで、前記第 1 および第 2 の入力端の入力インピーダンスと、前記第 1 および第 2 の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子。

【請求項 2】 積層された複数の誘電体基板、

前記複数の誘電体基板の少なくとも 1 枚に形成され、第 1 および第 2 のインダクタを構成するインダクタ用電極、

前記複数の誘電体基板の少なくとも 2 枚に形成され、コンデンサを構成するコンデンサ用電極、および第 1 および第 2 の入力端と、第 1 および第 2 の出力端と、を有してなる複合素子であって、

前記第 1 の入力端と前記第 1 の出力端とを結ぶ第 1 の入出力ラインの直列腕に 1 つの前記第 1 のインダクタを配置し、

前記第 2 の入力端と前記第 2 の出力端とを結ぶ第 2 の入出力ラインの直列腕に 1 つの前記第 2 のインダクタを配置し、

前記第 1 の入力端側と前記第 2 の入力端側とを結ぶ並列腕、または前記第 1 の出力端側と前記第 2 の出力端側とを結ぶ並列腕に、1 つまたは複数の前記コンデンサを配置してなるローパスフィルタを構成することで、前記第 1 および第 2 の入力端の入力インピーダンスと、前記第 1 および第 2 の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子。

【請求項 3】 積層された複数の誘電体基板、

前記複数の誘電体基板の少なくとも 1 枚に形成され、インダクタを構成するインダクタ用電極、

前記複数の誘電体基板の少なくとも 2 枚に形成され、第 1、第 2 および第 3 のコンデンサを構成するコンデンサ用電極、および第 1 および第 2 の入力端と、第 1 および第 2 の出力端と、を有してなる複合素子であって、

前記第 1 の入力端と前記第 1 の出力端とを結ぶ第 1 の入

出力ラインの直列腕に少なくとも 1 つの前記第 1 のコンデンサを配置し、

前記第 2 の入力端と前記第 2 の出力端とを結ぶ第 2 の入出力ラインの直列腕に少なくとも 1 つの前記第 2 のコンデンサを配置し、

前記第 1 のコンデンサおよび前記第 2 のコンデンサの両端を結ぶ前記第 1 および第 2 の入出力ラインの並列腕のそれぞれに、1 つまたは複数の前記インダクタを配置することによりハイパスフィルタを構成し、

10 前記第 1 および第 2 の入力端側の両方、または前記第 1 および第 2 の出力端側の両方のいずれかに、前記第 3 のコンデンサを付加して、前記第 1 および第 2 の入力端の入力インピーダンスと、前記第 1 および第 2 の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子。

【請求項 4】 積層された複数の誘電体基板、

前記複数の誘電体基板の少なくとも 1 枚に形成され、第 1、第 2 および第 3 のインダクタを構成するインダクタ用電極、

20 前記複数の誘電体基板の少なくとも 2 枚に形成され、コンデンサを構成するコンデンサ用電極、および第 1 および第 2 の入力端と、第 1 および第 2 の出力端と、を有してなる複合素子であって、

前記第 1 の入力端と前記第 1 の出力端とを結ぶ第 1 の入出力ラインの直列腕に少なくとも 1 つの前記第 1 のインダクタを配置し、

前記第 2 の入力端と前記第 2 の出力端とを結ぶ第 2 の入出力ラインの直列腕に少なくとも 1 つの前記第 2 のインダクタを配置し、

30 前記第 1 のインダクタおよび前記第 2 のインダクタの両端を結ぶ前記第 1 および第 2 の入出力ラインの並列腕のそれぞれに、1 つまたは複数の前記コンデンサを配置することによりローパスフィルタを構成し、

前記第 1 および第 2 の入力端側の両方、または前記第 1 および第 2 の出力端側の両方のいずれかに、前記第 3 のインダクタを付加して、前記第 1 および第 2 の入力端の入力インピーダンスと、前記第 1 および第 2 の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子。

40 【請求項 5】 前記インダクタ用電極および前記コンデンサ用電極が形成された前記複数の誘電体基板の全体を挟むようにして、前記複数の誘電体基板上に形成された少なくとも 2 つのシールド電極を有することを特徴とする、請求項 1 ないし請求項 4 のいずれかに記載の複合素子。

【請求項 6】 前記第 1 の入出力ラインの直列腕に接続された前記第 1 のインダクタと、前記第 2 の入出力ラインの直列腕に接続された前記第 2 のインダクタとが、磁気的に結合したことを特徴とする、請求項 2 または請求項 4 に記載の複合素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、複合素子に関し、特に、たとえばデジタル回路における差動供給クロック回路などに用いられる複合素子に関する。

## 【0002】

【従来の技術】最近のMPUやDSPなどに用いられるクロックパスでは、取り扱われる信号の高周波化にともない、差動による供給が行なわれている。つまり、極性を反転させた2つのクロック信号が、2本の配線で伝送されている。このような差動クロックペアを用いることにより、高い周波数の伝送が可能で、ノイズに強いという特徴を得ることができる。また、デジタル回路においては、論理値である(0, 1)に対応する電圧が伝送される。しかしながら、デジタル回路に用いられるICなどは、その入力インピーダンスや出力インピーダンスが統一されていないため、これらのICの間で信号の送受を行なうために、バスラインに様々な工夫が施されている。たとえば、電圧を正常に伝送させるように、電圧をスレッショールドレベルまで上げるためのブルアップ抵抗を入れたり、リングングを防止するために、ダンピング抵抗を直列に挿入したりしていた。

## 【0003】

【発明が解決しようとする課題】しかしながら、ブルアップ抵抗やダンピング抵抗を入れることにより、回路で消費される電力が大きくなり、また、これらの抵抗を通過するうちにパルスの波形なまりが発生しやすかった。そのため、シュミットトリガ回路などの波形成形回路が付加されたバスバッファなどを備える必要があった。また、静電気による高電圧がICに伝送され、FETやC-MOS系ICなどの入力インピーダンスの大きい素子が破壊されるという問題があった。さらに、差動クロックペアを利用する場合に、信号経路の差などによって、極性が反転された2つのクロック信号の到達時間に差が生じるスキューが発生し、信号の論理が狂う可能性がある。

【0004】それゆえに、この発明の主たる目的は、差動クロックペアなどを伝送する平衡線路素子などにおいて、入力インピーダンスおよび出力インピーダンスの異なる素子間で正常に電圧を伝送させることができ、消費電力を小さくすることができる複合素子を提供することである。また、この発明の目的は、高周波成分を抑圧して波形なまりを抑えることができ、スキューの発生を抑制することができる複合素子を提供することである。さらに、この発明の目的は、静電気による高電圧の影響を小さくし、ICへの実質的なダメージをなくすことができる複合素子を提供することである。

## 【0005】

【課題を解決するための手段】この発明は、積層された複数の誘電体基板と、複数の誘電体基板の少なくとも1

枚に形成され、インダクタを構成するインダクタ用電極と、複数の誘電体基板の少なくとも2枚に形成され、第1および第2のコンデンサを構成するコンデンサ用電極と、第1および第2の入力端と、第1および第2の出力端と、を有してなる複合素子であって、第1の入力端と第1の出力端とを結ぶ第1の入出力ラインの直列腕に1つの第1のコンデンサを配置し、第2の入力端と第2の出力端とを結ぶ第2の入出力ラインの直列腕に1つの第2のコンデンサを配置し、第1の入力端側と第2の入力端側とを結ぶ並列腕、または第1の出力端側と第2の出力端側とを結ぶ並列腕に、1つまたは複数のインダクタを配置してなるハイパスフィルタを構成することで、第1および第2の入力端の入力インピーダンスと、第1および第2の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子である。また、この発明は、積層された複数の誘電体基板と、複数の誘電体基板の少なくとも1枚に形成され、第1および第2のインダクタを構成するインダクタ用電極と、複数の誘電体基板の少なくとも2枚に形成され、コンデンサを構成するコンデンサ用電極と、第1および第2の入力端と、第1および第2の出力端と、を有してなる複合素子であって、第1の入力端と第1の出力端とを結ぶ第1の入出力ラインの直列腕に1つの第1のインダクタを配置し、第2の入力端と第2の出力端とを結ぶ第2の入出力ラインの直列腕に1つの第2のインダクタを配置し、第1の入力端側と第2の入力端側とを結ぶ並列腕、または第1の出力端側と第2の出力端側とを結ぶ並列腕に、1つまたは複数のコンデンサを配置してなるローパスフィルタを構成することで、第1および第2の入力端の入力インピーダンスと、第1および第2の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子である。また、この発明は、積層された複数の誘電体基板と、複数の誘電体基板の少なくとも1枚に形成され、インダクタを構成するインダクタ用電極と、複数の誘電体基板の少なくとも2枚に形成され、第1、第2および第3のコンデンサを構成するコンデンサ用電極と、第1および第2の入力端と、第1および第2の出力端と、を有してなる複合素子であって、第1の入力端と第1の出力端とを結ぶ第1の入出力ラインの直列腕に少なくとも1つの第1のコンデンサを配置し、第2の入力端と第2の出力端とを結ぶ第2の入出力ラインの直列腕に少なくとも1つの第2のコンデンサを配置し、第1のコンデンサおよび第2のコンデンサの両端を結ぶ第1および第2の入出力ラインの並列腕のそれぞれに、1つまたは複数のインダクタを配置することによりハイパスフィルタを構成し、第1および第2の入力端側の両方、または第1および第2の出力端側の両方のいずれかに、第3のコンデンサを付加して、第1および第2の入力端の入力インピーダンスと、第1および第2の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子である。また、

この発明は、積層された複数の誘電体基板と、複数の誘電体基板の少なくとも1枚に形成され、第1、第2および第3のインダクタを構成するインダクタ用電極と、複数の誘電体基板の少なくとも2枚に形成され、コンデンサを構成するコンデンサ用電極と、第1および第2の入力端と、第1および第2の出力端と、を有してなる複合素子であって、第1の入力端と第1の出力端とを結ぶ第1の入出力ラインの直列腕に少なくとも1つの第1のインダクタを配置し、第2の入力端と第2の出力端とを結ぶ第2の入出力ラインの直列腕に少なくとも1つの第2のインダクタを配置し、第1のインダクタおよび第2のインダクタの両端を結ぶ第1および第2の入出力ラインの並列腕のそれぞれに、1つまたは複数のコンデンサを配置することによりローパスフィルタを構成し、第1および第2の入力端側の両方、または第1および第2の出力端側の両方のいずれかに、第3のインダクタを付加して、第1および第2の入力端の入力インピーダンスと、第1および第2の出力端の出力インピーダンスとを異ならせたことを特徴とする、複合素子である。このような複合素子において、インダクタ用電極およびコンデンサ用電極が形成された複数の誘電体基板の全体を挟むようにして、複数の誘電体基板上に形成された少なくとも2つのシールド電極を有することが好ましい。ハイパスフィルタを構成した複合素子において、第1の入出力ラインの直列腕に接続された第1のインダクタと、第2の入出力ラインの直列腕に接続された第2のインダクタとを、磁氣的に結合させることが好ましい。

【0006】複合素子の入力端の入力インピーダンスと出力端の出力インピーダンスを異なる値とすることにより、異なる値の出力インピーダンスと入力インピーダンスを有するICを接続する際に、インピーダンス整合をとることができる。つまり、複合素子の入力端に接続される回路の出力インピーダンスに合わせてその入力インピーダンスを設定し、出力端に接続される回路の入力インピーダンスに合わせてその出力インピーダンスを設定することにより、インピーダンス整合をとることができる。消費電力を小さくすることができる。このように、複合素子の入力インピーダンスと出力インピーダンスの値を異なるようにするために、入力側と出力側の回路が異なるようにすることができる。複合素子に形成される素子をハイパスフィルタとすることにより、低周波成分からなる静電気による高電圧を抑圧することができ、複合素子の出力端に接続されるICに高電圧が入力されないようにすることができる。また、複合素子に形成される素子をローパスフィルタとすることにより、高周波成分が除去されて波形なまりを抑えることができる。このとき、第1の入出力ラインに接続されるインダクタと第2の入出力ラインに接続されるインダクタとの間の磁氣的結合を最適に設計することにより、スキューの発生を抑えることができる。このような積層型の複合素子にお

いて、インダクタ用電極やコンデンサ用電極が形成された誘電体基板の全体をシールド電極で挟むことにより、外部からのノイズの影響を受けにくくすることができる。

【0007】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0008】

【発明の実施の形態】図1は、この発明の複合素子の一例を示す斜視図である。複合素子10は、基体12を含む。基体12は、図2に示すように、誘電体基板14を含む。誘電体基板14上には、別の誘電体基板16が積層される。この誘電体基板16上には、2つのコンデンサ用電極18、20が形成される。これらのコンデンサ用電極18、20は、誘電体基板16の幅方向の中央部に形成される。さらに、これらのコンデンサ用電極18、20は、誘電体基板16の長手方向に並んで配置される。これらのコンデンサ用電極18、20から誘電体基板16の幅方向の一方側に向かって、それぞれ引き出し電極18a、20aが形成される。

【0009】コンデンサ用電極18、20上には、さらに誘電体基板22が積層される。誘電体基板22上には、別のコンデンサ用電極24、26が形成される。一方のコンデンサ用電極24は、誘電体基板16に形成されたコンデンサ用電極18に対向する位置に形成される。また、他方のコンデンサ用電極26は、誘電体基板16に形成されたコンデンサ用電極20に対向する位置に形成される。これらのコンデンサ用電極24、26からは、誘電体基板22の幅方向の他方側に向かって、引き出し電極24a、26aが形成される。

【0010】コンデンサ用電極24、26上には、誘電体基板28が積層され、さらに別の誘電体基板30が積層される。この誘電体基板30上には、インダクタ用電極32が形成される。インダクタ用電極32の両端は、コンデンサ用電極18、20の引き出し電極18a、20aに対応する位置に引き出される。さらに、インダクタ用電極32上には、被覆用の誘電体基板34が積層される。

【0011】この複合素子10では、基体12の幅方向の対向する側面に、外部電極36a、36b、36c、36dが形成される。外部電極36aには、コンデンサ用電極18の引き出し電極18aおよびインダクタ用電極32の一端が接続される。また、外部電極36bには、コンデンサ用電極20の引き出し電極20aおよびインダクタ用電極32の他端が接続される。さらに、外部電極36cには、コンデンサ用電極24の引き出し電極24aが接続される。また、外部電極36dには、コンデンサ用電極26の引き出し電極26aが接続される。

【0012】この複合素子10では、たとえば外部電極

36c、36dが第1および第2の入力端として用いられ、外部電極36a、36bが第1および第2の出力端として用いられる。この場合、図3に示すように、外部電極36a、36cを結ぶ第1の入出力ラインの直列腕に第1のコンデンサC1が接続され、外部電極36b、36dを結ぶ第2の入出力ラインの直列腕に第2のコンデンサC2が接続され、これらの出力端側の並列腕に、インダクタL1が接続された回路を有する複合素子が得られる。ここで、第1のコンデンサC1は、コンデンサ用電極18、24で形成され、第2のコンデンサC2は、コンデンサ用電極20、26で形成される。また、インダクタL1は、インダクタ用電極32で形成される。

【0013】このように、この複合素子10では、第1および第2の入出力ラインの直列腕に第1および第2のコンデンサC1、C2が形成され、出力端側の並列腕にインダクタL1が形成されることにより、第1および第2の入力端36c、36dと第1および第2の出力端36a、36bとの間に、平衡入出力のハイパスフィルタが構成される。

【0014】この複合素子10の入力端36c、36dには、たとえば差動クロックペアなどの極性を反転させたクロック信号が入力され、伝送線路として用いられる。ここで、第1および第2のコンデンサC1、C2は、2つの入力端側のみ接続されているため、第1および第2の入力端側の入力インピーダンスと第1および第2の出力端側の出力インピーダンスとが異なる値を有する。そのため、入力端側に接続されるクロック信号出力側のICの出力インピーダンスと複合素子10の入力インピーダンスとを合わせることにより、インピーダンス整合をとることができる。同様に、複合素子10の出力端側に接続されるクロック信号入力側のICの入力インピーダンスと複合素子10の出力インピーダンスとを合わせることにより、インピーダンス整合をとることができる。したがって、出力インピーダンスと入力インピーダンスが異なる値を有するICを接続する場合においても、信号の伝送にあたって損失が少なくなり、消費電力を小さくすることができる。

【0015】また、誘電体基板上にインダクタ用電極を形成して積層構造とすることにより、Q値の小さいインダクタを得ることができる。このようなQ値の小さいインダクタを用いることにより、リングングの発生を抑えることができる。

【0016】さらに、ハイパスフィルタとすることにより、低周波信号が減衰されるため、静電気による高電圧(ESD)が印加されても、それが伝達されにくくなる。したがって、この複合素子10をESD対策用として用いることができる。図3に示すような回路において、各素子C1、C2、L1の素子値を変えて、入力側に8kVの電圧を入力し、出力電圧を測定した。そし

て、その結果を表1に示した。

【0017】

【表1】

試料番号	素子値 C1, C2-L1	出力ピーク電圧
1	12pF-22nH	530 Vpp
2	9pF-15nH	456 Vpp
3	3.5pF-8.2nH	328 Vpp

【0018】表1からわかるように、ハイパスフィルタを構成した複合素子10において、各素子C1、C2、L1の素子値を適当な値に調整することにより、出力電圧を低くして、ESDの影響を小さくすることができる。

【0019】なお、ハイパスフィルタを構成した複合素子において、図4および図5に示すように、シールド電極を形成した基体42を用いた複合素子40としてもよい。図4および図5において、図1および図2に示す構成と同じものについては、図1および図2と同じ番号を付した。この複合素子40では、誘電体基板14の下層に、別の誘電体基板44が積層される。この誘電体基板44には、中央部のほぼ全面に、シールド電極46が形成される。このシールド電極46から、誘電体基板44の長手方向の対向端部に向かって、引き出し電極46a、46bが形成される。

【0020】さらに、誘電体基板34上には、別の誘電体基板48が積層される。この誘電体基板48上には、シールド電極46およびその引き出し電極46a、46bと対向するようにして、シールド電極50および引き出し電極50a、50bが形成される。このシールド電極50および引き出し電極50a、50bの上には、被覆用の誘電体基板52が積層される。

【0021】このような基体42を有する複合素子40では、図4に示すように、基体42の幅方向の対向端部に、外部電極36a~36dが形成され、さらに基体42の長手方向の対向端部に、外部電極36e、36fが形成される。そして、外部電極36eには、シールド電極46、50の引き出し電極46a、50aが接続され、外部電極36fには、シールド電極46、50の引き出し電極46b、50bが接続される。これらの外部電極36e、36fは、接地用として用いられる。このように、シールド電極を設けることにより、外部からのノイズなどのような電磁的影響を低減することができる。

【0022】また、図6および図7に示すように、インダクタ用電極の中央部から、接地用の引き出し電極を引き出した構造とすることができる。図6および図7において、図1、図2、図4、図5と同じ構成のものについては、図1、図2、図4、図5と同じ番号を付した。この複合素子60に用いられる基体62では、図5に示す誘電体基板30に代えて、別の誘電体基板64が用いら

れる。誘電体基板 64 には、図 5 に示す誘電体基板 30 と同様に、インダクタ用電極 32 が形成される。さらに、インダクタ用電極 32 の中央部から、誘電体基板 64 の長手方向の対向端部に引き出すための引き出し電極 66 が形成される。この引き出し電極 66 は、シールド電極 46, 50 が接続された外部電極 36e, 36f に接続される。この複合素子 60 は、図 8 に示すように、第 1 および第 2 の出力端側を結ぶ並列腕に接続されたインダクタ L2, L3 の中間部が接地された回路を有するものとなる。このような複合素子 60 においても、図 1 や図 4 に示す複合素子と同様の効果を得ることができる。

【0023】なお、図 1 に示す複合素子 10 や図 4 に示す複合素子 40 の外部電極 36a, 36b を第 1 および第 2 の入力端とし、外部電極 36c, 36d を第 1 および第 2 の出力端とすることにより、図 9 に示すように、第 1 および第 2 の入力端側を結ぶ並列腕にインダクタ L1 が接続された複合素子とすることができる。

【0024】また、図 10 に示すように、第 1 の入出力ラインの直列腕に第 1 のコンデンサ C5 を接続し、第 2 の入出力ラインの直列腕に第 2 のコンデンサ C6 を接続し、これらのコンデンサ C5, C6 の両端を結ぶ第 1 および第 2 の入出力ラインの並列腕にインダクタ L4, L5 を接続した場合において、第 1 の入力端側に第 3 のコンデンサ C3 を接続し、第 2 の入力端側に第 3 のコンデンサ C4 を接続した複合素子とすることもできる。

【0025】さらに、図 11 に示すように、第 1 の入出力ラインの直列腕に第 1 のコンデンサ C7 を接続し、第 2 の入出力ラインの直列腕に第 2 のコンデンサ C8 を接続し、これらのコンデンサ C7, C8 の両端を結ぶ第 1 および第 2 の入出力ラインの並列腕にインダクタ L6, L7 を接続した場合において、第 1 の出力端側に第 3 のコンデンサ C9 を接続し、第 2 の出力端側に第 3 のコンデンサ C10 を接続した複合素子とすることもできる。

【0026】さらに、2 つ以上の第 1 のコンデンサを第 1 の入出力ラインの直列腕に接続し、2 つ以上の第 2 のコンデンサを第 2 の入出力ラインの直列腕に接続し、これらの第 1 および第 2 のコンデンサの両端を結ぶ第 1 および第 2 の入出力ラインの並列腕のそれぞれにインダクタを接続し、第 1 および第 2 の入力端側の両方、または第 1 および第 2 の出力端側の両方のいずれかに第 3 のコンデンサを接続することによってハイパスフィルタを形成してもよい。これらの構成を有するハイパスフィルタにおいても、入力インピーダンスと出力インピーダンスとを異なる値とすることができ、上述のような効果を得ることができる。これらの回路は、複合素子に接続される IC などの種類に対応して、適宜選択することができる。

【0027】また、図 12 に示すように、ローパスフィルタを形成した複合素子 70 とすることができる。この

場合、図 13 に示すような基体 72 が用いられる。この基体 72 は、誘電体基板 74 を含み、この誘電体基板 74 上に別の誘電体基板 76 が積層される。この誘電体基板 76 上には、2 つのコンデンサ用電極 78, 80 が長手方向に並んで形成される。これらのコンデンサ用電極 78, 80 から、誘電体基板 76 の幅方向の一方側に向かって、引き出し電極 78a, 80a が形成される。

【0028】コンデンサ用電極 78, 80 上には、誘電体基板 82 が積層される。この誘電体基板 82 上には、直線状のコンデンサ用電極 84 が形成される。コンデンサ用電極 84 は、誘電体基板 76 に形成されたコンデンサ用電極 78, 80 の両方に対向するように形成される。

【0029】さらに、コンデンサ用電極 84 上には、誘電体基板 86 が積層され、その上に誘電体基板 88 が積層される。この誘電体基板 88 上には、2 つのインダクタ用電極 90, 92 が形成される。インダクタ用電極 90, 92 は、誘電体基板 88 の幅方向の両端を結ぶように形成される。そして、インダクタ用電極 90, 92 の中央部が互いに近接するように折り曲げられ、この部分で磁気的な結合が得られる。さらに、インダクタ用電極 90, 92 上には、被覆用の誘電体基板 94 が積層される。

【0030】この複合素子 70 の基体 72 には、図 12 に示すように、外部電極 36a ~ 36d が形成される。そして、外部電極 36a には、コンデンサ用電極 78 の引き出し電極 78a およびインダクタ用電極 90 の一端が接続される。また、外部電極 36b には、コンデンサ用電極 80 の引き出し電極 80a およびインダクタ用電極 92 の一端が接続される。さらに、外部電極 36c には、インダクタ用電極 90 の他端が接続される。また、外部電極 36d には、インダクタ用電極 92 の他端が接続される。

【0031】この複合素子 70 では、たとえば外部電極 36c, 36d が第 1 および第 2 の入力端として用いられ、外部電極 36a, 36b が第 1 および第 2 の出力端として用いられる。この場合、図 14 に示すように、外部電極 36a, 36c を結ぶ第 1 の入出力ラインの直列腕に第 1 のインダクタ L8 が接続され、外部電極 36b, 36d を結ぶ第 2 の入出力ラインの直列腕に第 2 のインダクタ L9 が接続され、これらの出力端側の並列腕にコンデンサ C11, C12 が接続された回路を有する複合素子が得られる。そして、第 1 および第 2 のインダクタ L8, L9 は、互いに磁気的に結合している。ここで、インダクタ L8 は、インダクタ用電極 90 で形成され、インダクタ L9 は、インダクタ用電極 92 で形成される。また、コンデンサ C11 は、コンデンサ用電極 78, 84 で形成され、コンデンサ C12 は、コンデンサ用電極 80, 84 で形成される。

【0032】このように、この複合素子 70 では、第 1



および第2の入出力ラインの直列腕に第1および第2のインダクタL8、L9が形成され、出力端側の並列腕にコンデンサC11、C12が形成されることにより、第1および第2の入力端36c、36dと第1および第2の出力端36a、36bとの間に、平衡入出力のローパスフィルタが構成される。

【0033】この複合素子70においても、インダクタL8、L9が、2つの入力端側にのみ接続されているため、第1および第2の入力端側の入力インピーダンスと第1および第2の出力端側の出力インピーダンスとが異なる値を有する。そのため、入力端側に接続されるクロック信号出力用のICの出力インピーダンスと複合素子70の入力インピーダンスとを合わせることにより、インピーダンス整合をとることができる。同様に、複合素子70の出力端側に接続されるクロック信号入力側のICの入力インピーダンスと複合素子70の出力インピーダンスとを合わせることにより、インピーダンス整合をとることができる。したがって、出力インピーダンスと入力インピーダンスが異なる値を有するICを接続する場合においても、信号の伝送にあたって損失が少なくなり、消費電力を小さくすることができる。

【0034】また、誘電体基板上にインダクタ用電極を形成して積層構造とすることにより、Q値の小さいインダクタを得ることができる。このようなQ値の小さいインダクタを用いることにより、リングングの発生を抑えることができる。

【0035】さらに、ローパスフィルタとすることにより、高周波成分をカットすることができる。そのため、高周波成分を含んで波形なまりを起こしていた従来の場合に比べて、この複合素子70を用いることにより、波形なまりのない正常なパルス波を得ることができる。

【0036】また、複合素子70をローパスフィルタとし、インダクタL8、L9間の磁気結合M1を最適に設計することにより、差動クロックペアのスキューを抑制することができる。従来においては、図15に示すように、極性の反転したクロック信号の到達時間に差が生じ、クロック波形にずれが生じている。しかしながら、この複合素子70を用いれば、図16に示すように、クロック信号の到達時間に差がなく、クロック波形にずれが生じていない。なお、インダクタL8、L9間の磁気結合M1の調整は、たとえばインダクタ用電極90、92の対向する部分の長さや間隔を調整することにより可能である。

【0037】このようなローパスフィルタを構成した複合素子においても、図17および図18に示すように、シールド電極を形成することができる。図17および図18において、図12および図13と同じ構成のものについては、図12および図13と同じ番号を付した。この複合素子100に用いられる基体102では、図18に示すように、誘電体基板74の下層側に、別の誘電体

基板104が積層される。この誘電体基板104の中央部のほぼ全面に、シールド電極106が形成される。このシールド電極106から、誘電体基板104の長手方向の両端に向かって、引き出し電極106a、106bが形成される。また、誘電体基板94上には、別の誘電体基板108が積層される。この誘電体基板108上には、シールド電極106および引き出し電極106a、106bに対向するようにして、シールド電極110および引き出し電極110a、110bが形成される。このシールド電極110上には、被覆用の誘電体基板112が積層される。

【0038】この複合素子100の基体102には、図17に示すように、外部電極36a~36fが形成され、シールド電極106の引き出し電極106a、106bおよびシールド電極110の引き出し電極110a、110bが、外部電極36e、36fに接続される。このようなシールド電極106、110を形成することにより、外部からのノイズなどの電磁的影響を抑制することができる。

【0039】なお、図12に示す複合素子70や図17に示す複合素子100の外部電極36a、36bを第1および第2の入力端とし、外部電極36c、36dを第1および第2の出力端とすることにより、図19に示すように、第1および第2の入力端側を結ぶ並列腕にコンデンサC11、C12が接続された複合素子とすることができる。

【0040】また、図20に示すように、第1の入出力ラインの直列腕に第1のインダクタL12を接続し、第2の入出力ラインの直列腕に第2のインダクタL13を接続し、これらのインダクタL12、L13の両端を結ぶ第1および第2の入出力ラインの並列腕にコンデンサC13、C14、C15、C16を接続した場合において、第1の入力端側に第3のインダクタL10を接続し、第2の入力端側に第3のインダクタL11を接続した複合素子とすることもできる。このような複合素子においても、インダクタL10、L11間の磁気結合M2およびインダクタL12、L13間の磁気結合M3を最適に設計することにより、差動クロックペアのスキューを抑制することができる。

【0041】さらに、図21に示すように、第1の入出力ラインの直列腕に第1のインダクタL14を接続し、第2の入出力ラインの直列腕に第2のインダクタL15を接続し、これらのインダクタL14、L15の両端を結ぶ第1および第2の入出力ラインの並列腕にコンデンサC17、C18、C19、C20を接続した場合において、第1の出力端側に第3のインダクタL16を接続し、第2の出力端側に第3のインダクタL17を接続した複合素子とすることもできる。このような複合素子においても、インダクタL14、L15間の磁気結合M4およびインダクタL16、L17間の磁気結合M5



を最適に設計することにより、差動クロックペアのスキューを抑制することができる。これらの回路は、複合素子に接続される IC などの種類に対応して、適宜選択することができる。

【0042】さらに、2つ以上の第1のインダクタを第1の入出力ラインの直列腕に接続し、2つ以上の第2のインダクタを第2の入出力ラインの直列腕に接続し、第1および第2のインダクタの両側を結ぶ入出力ラインの並列腕のそれぞれにコンデンサを接続し、第1および第2の入力端側の両方、または第1および第2の出力端側の両方のいずれかに第3のインダクタを接続することによってローパスフィルタを形成してもよい。これらの構成を有するローパスフィルタにおいても、入力インピーダンスと出力インピーダンスとを異なる値とすることができ、上述のような効果を得ることができる。

【0043】

【発明の効果】この発明によれば、差動クロックペアなどのような信号を送送する平衡系伝送線路として用いられる複合素子において、出力インピーダンスと入力インピーダンスの異なる IC を接続する際に、インピーダンス整合をとることができ、消費電力を小さくすることができる。また、積層構造の複合素子とすることにより、インダクタの Q 値を小さいものとしてことができ、リングの発生を抑えることができる。さらに、複合素子をハイパスフィルタとすることにより、静電気による高電圧の伝達を抑え、IC などの破壊を防止することができる。また、複合素子をローパスフィルタとすることにより、高周波成分を除去して、波形なまりを抑えることができ、正確な波形のパルスを送達させることができる。このとき、2つの入出力ラインの直列腕に接続されるインダクタの磁気結合を最適に設計することにより、スキューの発生を抑制することができる。

【図面の簡単な説明】

【図1】この発明の複合素子の一例を示す斜視図である。

【図2】図1に示す複合素子の基体を示す分解斜視図である。

【図3】図1に示す複合素子の等価回路図である。

【図4】この発明の複合素子の他の例を示す斜視図である。

【図5】図4に示す複合素子の基体を示す分解斜視図である。

【図6】この発明の複合素子のさらに他の例を示す斜視図である。

\*

\*【図7】図6に示す複合素子の基体を示す分解斜視図である。

【図8】図6に示す複合素子の等価回路図である。

【図9】図1または図4に示す複合素子の入出力端を逆にして用いた場合を示す等価回路図である。

【図10】ハイパスフィルタとして用いられる複合素子の他の例を示す等価回路図である。

【図11】ハイパスフィルタとして用いられる複合素子のさらに他の例を示す等価回路図である。

10 【図12】この発明の複合素子の別の例を示す斜視図である。

【図13】図12に示す複合素子の基体を示す分解斜視図である。

【図14】図12に示す複合素子の等価回路図である。

【図15】従来の線路を用いて差動クロックペアを送送したときの波形図である。

【図16】図12に示す複合素子を用いて差動クロックペアを送送したときの波形図である。

20 【図17】この発明の複合素子のさらに別の例を示す斜視図である。

【図18】図17に示す複合素子の基体を示す分解斜視図である。

【図19】図12または図17に示す複合素子の入出力端を逆にして使用した場合を示す等価回路図である。

【図20】ローパスフィルタとして用いられる複合素子の他の例を示す等価回路図である。

【図21】ローパスフィルタとして用いられる複合素子のさらに他の例を示す等価回路図である。

【符号の説明】

30 10, 40, 60, 70, 100 複合素子  
12, 42, 62, 72, 102 基体  
14, 16, 22, 28, 30, 34 誘電体基板  
18, 20, 24, 26 コンデンサ用電極  
32 インダクタ用電極  
36 a, 36 b, 36 c, 36 d, 36 e, 36 f 外部電極  
44, 48, 52, 64 誘電体基板  
46, 50 シールド電極  
74, 76, 82, 86, 88, 94 誘電体基板  
40 78, 80, 84 コンデンサ用電極  
90, 92 インダクタ用電極  
104, 108, 112 誘電体基板  
106, 110 シールド電極

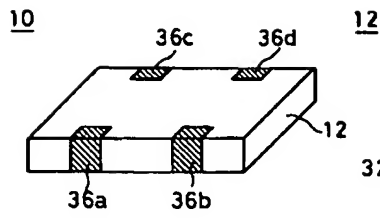
【図15】



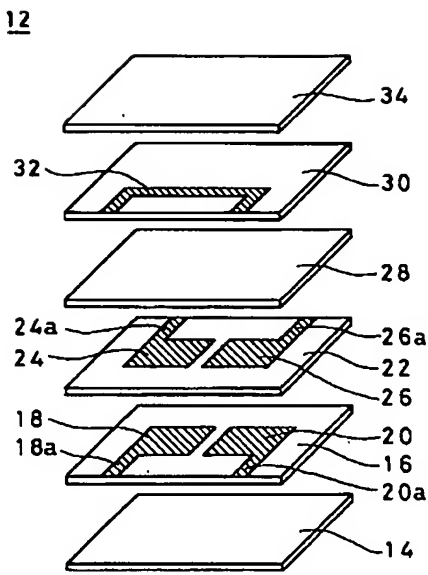
【図16】



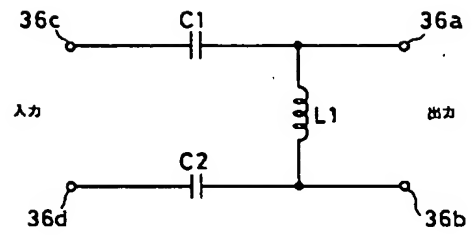
【図1】



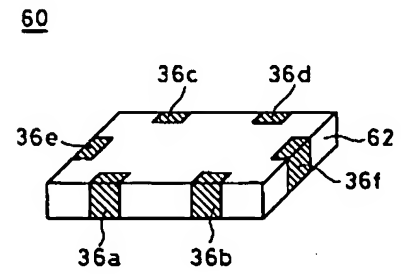
【図2】



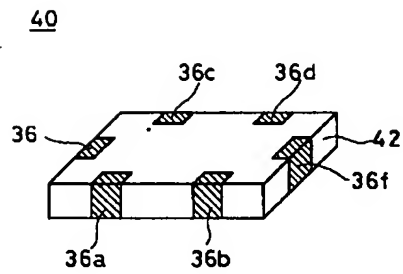
【図3】



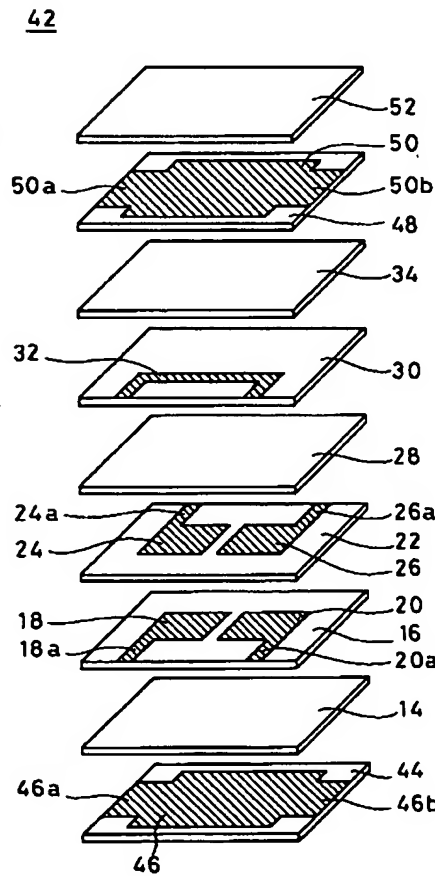
【図6】



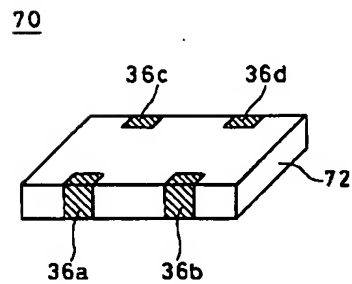
【図4】



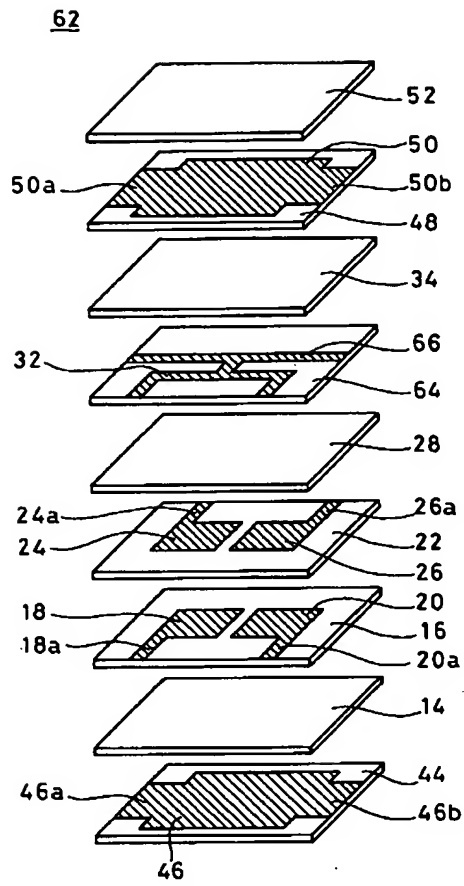
【図5】



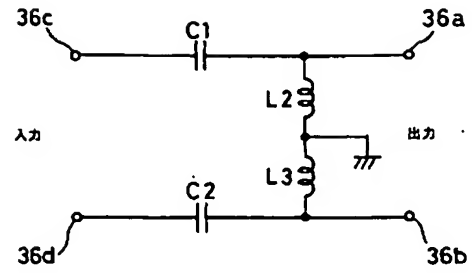
【図12】



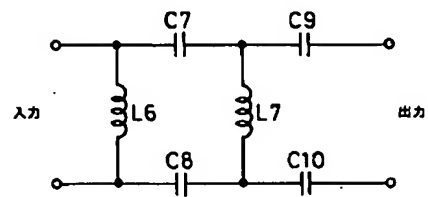
【図7】



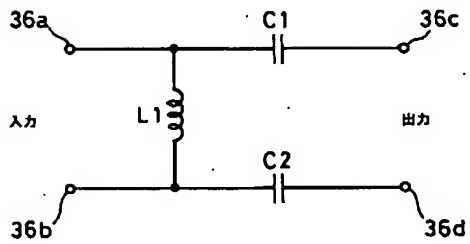
【図8】



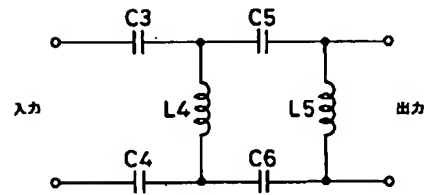
【図11】



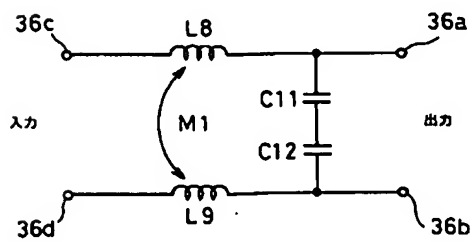
【図9】



【図10】

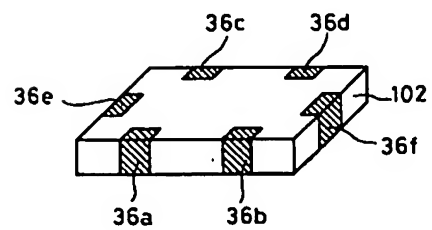


【図14】

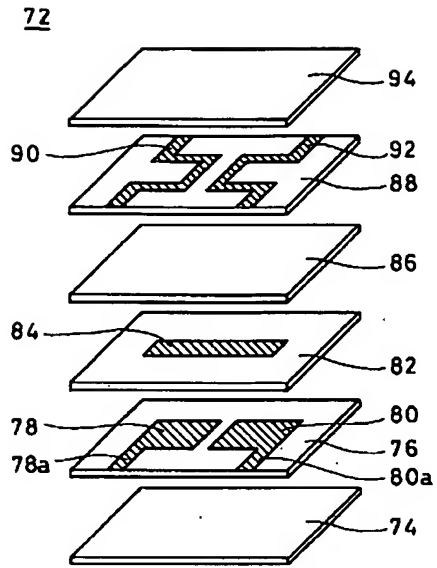


【図17】

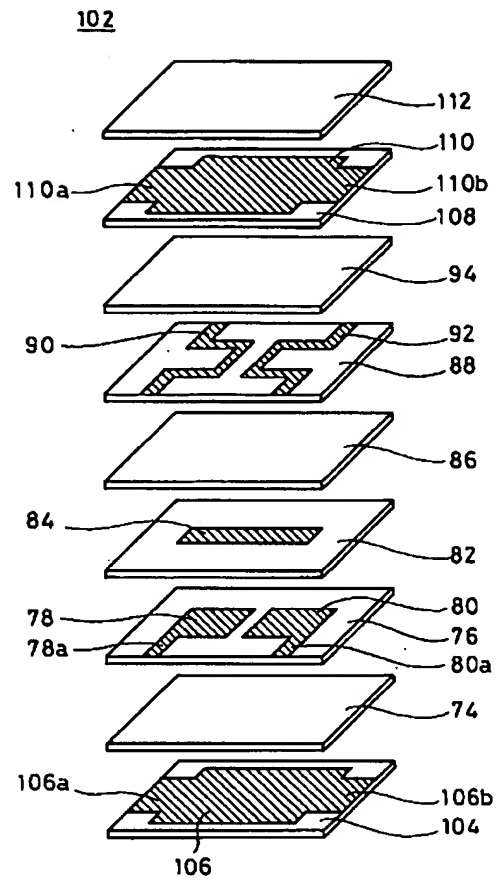
100



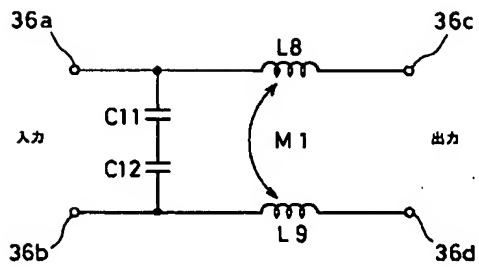
【図13】



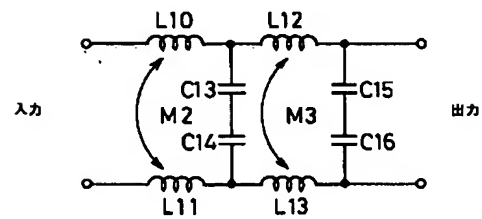
【図18】



【図19】



【図20】



【図21】

